

《Xilinx系列FPGA芯片IP核详解》

图书基本信息

书名：《Xilinx系列FPGA芯片IP核详解》

13位ISBN编号：9787121214830

出版时间：2013-9

作者：刘东华

页数：544

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu111.com

《Xilinx系列FPGA芯片IP核详解》

内容概要

IP核是可编程门阵列（FPGA）芯片开发中常用的功能模块，本书以赛灵思（Xilinx）公司的Spartan系列和Virtex系列FPGA系列芯片为基础，详细介绍各类IP核的功能、特点、接口及性能，并给出在FPGA开发过程中IP核的使用方法。全书共分10章，首先介绍IP核的生成和使用方法，然后分类描述Xilinx提供的数学运算、存储器、数字信号处理（DSP）、信道纠错码、网络、标准总线IP核以及FPGA属性和调试验证IP核。本书内容丰富翔实，部分IP核给出了功能原理解释和功能仿真结果，便于读者更好地理解和应用。

书籍目录

第1章 Xilinx IP核的生成和使用

1

1.1 概述

1

1.2 IP核生成工具

2

1.2.1 概述

2

1.2.2 IP核生成工具接口

2

1.2.3 IP核生成工具的使用

5

1.2.4 定制和编辑IP核

10

1.3 基于ISE工程导航工具的IP核操作

14

1.3.1 创建工程

15

1.3.2 定制IP核

16

1.3.3 添加IP核

17

1.3.4 例化IP核

18

1.3.5 编辑IP核

18

1.3.6 仿真IP核

18

1.4 其他IP核操作

19

1.4.1 构造向导

19

1.4.2 网表IP

20

1.4.3 微处理器和外设IP

21

1.4.4 系统生成工具

23

第2章 基本IP核

24

2.1 乘-加器

24

2.1.1 累加器

24

2.1.2 乘累加器

25

2.1.3 乘加器

27	
2.2	二进制计数器
31	
2.3	基于RAM的移位寄存器
34	
2.4	DSP48宏
36	
第3章	存储器IP核
43	
3.1	块存储器
43	
3.2	分布式存储器
66	
3.3	FIFO生成器
74	
第4章	数学运算IP核
82	
4.1	加/减法器
82	
4.2	乘法器
85	
4.2.1	实数乘法器
85	
4.2.2	复数乘法器
86	
4.3	除法器
90	
4.4	CORDIC
96	
4.5	浮点数操作器
111	
第5章	数字信号处理IP核
120	
5.1	DDS编译器
120	
5.2	FIR编译器
127	
5.3	CIC编译器
157	
5.4	DFT
165	
5.5	FFT
171	
5.6	DUC/DDC编译器
189	
第6章	纠错码IP核
201	
6.1	RS码编/译码器
201	

6.1.1 RS码编码器	201
6.1.2 RS码译码器	208
6.2 卷积码编/译码器	219
6.2.1 卷积码编码器	219
6.2.2 Viterbi译码器	223
6.3 3GPP Turbo码编/译码器	234
6.3.1 3GPP Turbo码编码器	235
6.3.2 3GPP Turbo码译码器	241
6.4 3GPP2 Turbo码编/译码器	245
6.4.1 3GPP2 Turbo码编码器	246
6.4.2 3GPP2 Turbo码译码器	250
6.5 IEEE 802.16 CTC编译码器	256
6.5.1 IEEE 802.16 CTC编码器	256
6.5.2 IEEE 802.16e CTC译码器	262
6.6 交织器/解交织器	269
6.7 IEEE P802.16 LDPC编码器	283
6.8 DVB-S2 FEC编码器	289
第7章 网络应用IP核	297
7.1 以太网MAC	297
7.1.1 10 Gbps以太网MAC	297
7.1.2 TEMAC	305
7.2 PCS/PMA	313
7.2.1 10 Gbps以太网PCS/PMA	313
7.2.2 以太网1000BASE-X PCS/PMA或SGMII	316
7.3 以太网连接单元	

324	
7.3.1	XAUI
324	
7.3.2	RXAUI
329	
7.4	嵌入式三模式以太网MAC封装包
334	
7.4.1	Virtex-4嵌入式三模式以太网MAC封装包
334	
7.4.2	Virtex-5嵌入式三模式以太网MAC封装包
337	
7.4.3	Virtex-6嵌入式三模式以太网MAC封装包
337	
7.5	以太网统计
339	
7.6	以太网AVB端点
343	
	第8章 FPGA属性和设计IP核
359	
8.1	时钟向导
359	
8.2	GTX收发器
364	
8.2.1	Virtex-6 FPGA GTX收发器向导
364	
8.2.2	Virtex-5 FPGA RocketIO GTX收发器向导
404	
8.3	SelectIO接口向导
431	
8.4	系统监视器
435	
	第9章 标准总线IP核
439	
9.1	串行RapidIO
439	
9.2	CAN
449	
9.3	用于PCI接口的Initiator/Target
461	
9.4	PCI Express核
470	
9.4.1	用于Virtex-5和Virtex-4的PCI Express端点
470	
9.4.2	用于Virtex-5的PCI Express端点块增强 (EBP)
479	
9.4.3	用于Spartan-3/3A/3E的PCI Express端点PIPE
481	
9.4.4	用于Spartan-6的PCI Express集成块
485	

9.4.5 用于Virtex-6的PCI Express集成块

488

9.5 显示端口

494

第10章 调试验证IP核

510

10.1 ChipScope Pro

510

10.2 逻辑调试内核

511

10.2.1 集成控制器 (ICON)

511

10.2.2 集成逻辑分析 (ILA)

514

10.2.3 虚拟I/O (VIO)

520

10.2.4 Agilent跟踪 (ATC2)

522

10.3 误比特率测试 (IBERT)

525

10.4 集成总线分析核 (IBA)

527

10.4.1 PLB IBA

527

10.4.2 OPB IBA

531

参考文献

534

《Xilinx系列FPGA芯片IP核详解》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu111.com