

《数字设计与Verilog实现（第五版）》

图书基本信息

书名：《数字设计与Verilog实现（第五版）》

13位ISBN编号：9787121246155

出版时间：2015-1

作者：[美]M.Morris Mano,[美]Michael D.Ciletti

页数：369

译者：徐志军,尹廷辉,倪雪,薛红

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu111.com

《数字设计与Verilog实现（第五版）》

内容概要

本书是一本系统介绍数字电路设计的权威教材，旨在教会读者关于数字设计的基本概念。全书共分12章，内容涉及数字系统和二进制数、布尔代数与逻辑门、门级最小化，组合逻辑、同步时序逻辑、寄存器和计数器、存储器和可编程逻辑设备、寄存器传输级设计、异步时序逻辑、数字集成电路、标准IC和FPGA实验、标准图形符号等。全书结构严谨，内容深入浅出，紧密联系实际，教辅资料齐全。

《数字设计与Verilog实现（第五版）》

作者简介

M. Morris Mano，美国加利福尼亚州立大学电子和计算机工程系的教授，出版过多部有关数字逻辑、计算机设计基础的教材；Michael D. Ciletti，美国科罗拉多大学教授。

书籍目录

第1章 数字系统与二进制数

- 1.1 数字系统
- 1.2 二进制数
- 1.3 数制的转换
- 1.4 八进制和十六进制数
- 1.5 补码
- 1.6 带符号的二进制数
- 1.7 二进制码
- 1.8 二进制存储与寄存器
- 1.9 二进制逻辑

习题

参考文献

网络搜索主题

第2章 布尔代数和逻辑门

- 2.1 引言
- 2.2 基本定义
- 2.3 布尔代数的公理
- 2.4 布尔代数的基本定理和性质
- 2.5 布尔函数
- 2.6 范式与标准式
- 2.7 其他逻辑运算
- 2.8 数字逻辑门
- 2.9 集成电路

习题

参考文献

网络搜索主题

第3章 门电路化简

- 3.1 引言
- 3.2 图形法化简
- 3.3 四变量卡诺图
- 3.4 和之积式的化简
- 3.5 无关条件
- 3.6 与非门和或非门实现
- 3.7 其他两级门电路实现
- 3.8 异或函数
- 3.9 硬件描述语言

习题

参考文献

网络搜索主题

第4章 组合逻辑

- 4.1 引言
- 4.2 组合电路
- 4.3 分析步骤
- 4.4 设计步骤
- 4.5 二进制加减器
- 4.6 十进制加法器
- 4.7 二进制乘法器

4.8 数值比较器

4.9 译码器

4.10 编码器

4.11 数据选择器

4.12 组合电路的HDL模型

习题

参考文献

网络搜索主题

第5章 同步时序逻辑

5.1 引言

5.2 时序电路

5.3 存储元件：锁存器

5.4 存储元件：触发器

5.5 钟控时序电路分析

5.6 时序电路的可综合HDL模型

5.7 状态化简与分配

5.8 设计过程

习题

参考文献

网络搜索主题

第6章 寄存器和计数器

6.1 寄存器

6.2 移位寄存器

6.3 行波计数器

6.4 同步计数器

6.5 其他计数器

6.6 寄存器和计数器的HDL描述

习题

参考文献

网络搜索主题

第7章 存储器和可编程逻辑器件

7.1 引言

7.2 随机存取存储器

7.3 存储器译码

7.4 检纠错

7.5 只读存储器

7.6 可编程逻辑阵列

7.7 可编程阵列逻辑

7.8 时序可编程器件

习题

参考文献

网络搜索主题

第8章 寄存器传输级设计

8.1 引言

8.2 寄存器传输级定义

8.3 HDL的寄存器传输级描述

8.4 算法状态机（ASM）

8.5 设计举例（ASMD流程图）

8.6 设计举例的HDL描述

- 8.7 时序二进制乘法器
- 8.8 控制逻辑
- 8.9 二进制乘法器的HDL描述
- 8.10 用数据选择器进行设计
- 8.11 无竞争设计（软竞争条件）
- 8.12 无锁存设计（为什么浪费硅片？）
- 8.13 语言的其他特性

习题

参考文献

网络搜索主题

第9章 用标准IC和FPGA进行实验

9.1 实验介绍

9.2 实验1：二进制和十进制数

9.3 实验2：数字逻辑门

9.4 实验3：布尔函数化简

9.5 实验4：组合电路

9.6 实验5：代码转换

9.7 实验6：使用数据选择器进行设计

9.8 实验7：加法器和减法器

9.9 实验8：触发器

9.10 实验9：时序电路

9.11 实验10：计数器

9.12 实验11：移位寄存器

9.13 实验12：串行加法

9.14 实验13：存储器单元

9.15 实验14：灯式手球

9.16 实验15：时钟脉冲发生器

9.17 实验16：并行加法器和累加器

9.18 实验17：二进制乘法器

9.19 Verilog HDL模拟实验和使用FPGA的快速原型验证

第10章 标准图形符号

10.1 矩形符号

10.2 限定符号

10.3 相关符号

10.4 组合部件符号

10.5 触发器符号

10.6 寄存器符号

10.7 计数器符号

10.8 RAM符号

习题

参考文献

网络搜索主题

附录A 半导体和CMOS集成电路

部分习题解答

《数字设计与Verilog实现（第五版）》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu111.com