

《Verilog HDL高级数字设计》

图书基本信息

书名：《Verilog HDL高级数字设计》

13位ISBN编号：9788131732564

10位ISBN编号：8131732568

出版时间：2010-4

作者：西勒提

页数：965

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu111.com

《Verilog HDL高级数字设计》

内容概要

《Verilog HDL高级数字设计(第2版)(英文版)》依据数字集成电路系统工程开发的要求与特点，利用Verilog HDL对数字系统进行建模、设计与验证，对ASIC/FPGA系统芯片工程设计开发的关键技术与流程进行了深入讲解，内容包括：集成电路芯片系统的建模、电路结构权衡、流水、多核微处理器、功能验证、时序分析、测试平台、故障模拟、可测性设计、逻辑综合、后综合验证等集成电路系统的前后端工程设计与实现中的关键技术及设计案例。书中以大量设计实例叙述了集成电路系统工程开发需遵循的原则、基本方法、实用技术、设计经验与技巧。

《Verilog HDL高级数字设计(第2版)(英文版)》既可作为电子与通信、电子科学与技术、自动控制、计算机等专业领域的高年级本科生和研究生的教材或参考资格，也可用于电子系统设计及数字集成电路设计工程师的专业技术培训。

精彩短评

- 1、翻译有点，
- 2、非常不错

《Verilog HDL高级数字设计》

精彩书评

1、本书的优点就是例子很多，好懂。而且着重讲述了是数字电路设计的思想，并不详细讲解语法。这一点非常好。但是才看完前三章，就觉得错误挺多的。书写错误一处，原理性的错误四处。不知道中文版怎么样。

《Verilog HDL高级数字设计》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu111.com