

# 《Verilog数字系统设计教程》

## 图书基本信息

书名：《Verilog数字系统设计教程》

13位ISBN编号：9787810773027

10位ISBN编号：781077302X

出版时间：2003-7-1

出版社：北京航空航天大学出版社

作者：夏宇闻

页数：480

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：[www.tushu111.com](http://www.tushu111.com)

# 《Verilog数字系统设计教程》

## 内容概要

《Verilog数字系统设计教程》可作为电子工程类、自动控制类、计算机类的大学本科高年级及研究生教学用书，亦可供其他工程人员自学与参考。

## 书籍目录

第一部分 初级篇第一讲 Verilog的基本知识1.1 硬件描述语言HDL1.2 Verilog HDL的历史1.3 Verilog HDL和VHDL的比较1.4 Verilog 目前的应用情况和适用的设计1.5 采用Verilog HDL设计复杂数字电路的优点1.6 Verilog HDL的设计流程简介1.7 小结思考题第二讲 Verilog语法的基本概念概述2.1 Verilog模块的基本概念2.2 Verilog用于模块的测试2.3 小结思考题第三讲 常用Verilog语法之一概述3.1 模块的结构3.2 数据类型及其常量及变量3.3 运算符及表达式思考题第四讲 常用Verilog语法之二概述4.1 逻辑运算符4.2 关系运算符4.3 等式运算符4.4 移位运算符4.5 位拼接运算符4.6 缩减运算符4.7 优先级别4.8 关键词4.9 赋值语句和块语句4.10 小结思考题第五讲 常用Verilog语法之三概述5.1 条件语句5.2 循环语句5.3 小结思考题第六讲 常用Verilog语法之四概述6.1 结构说明语句6.2 task和function说明语句6.3 系统函数和任务6.4 小结思考题第七讲 常用Verilog语法之五概述7.1 系统任务\$monitor7.2 时间度量系统函数\$time7.3 系统任务\$finish7.4 系统任务\$stop7.5 系统任务\$readmemb和\$readmemh7.6 系统任务 \$random7.7 编译预处理7.8 小结思考题第八讲 常用Verilog语法总结概述第二部分 中级篇第一讲 Verilog HDL模型的不同抽象级别概述1.1 门级结构描述1.2 Verilog HDL的行为描述建模1.3 用户定义的原语1.4 小结思考题第二讲 如何编写和验证简单的纯组合逻辑模块概述2.1 加法器2.2 乘法器2.3 比较器2.4 多路器2.5 总线和总线操作2.6 流水线小结思考题第三讲 复杂数字系统的构成概述3.1 运算部件和数据流动的控制逻辑3.2 在Verilog HDL设计中启用同步时序逻辑思考题第四讲 同步状态机的原理、结构和设计概述4.1 状态机的结构4.2 Mealy状态机和Moore状态机的不同点4.3 如何用Verilog来描述可综合的状态机思考题第五讲 设计可综合的状态机的指导原则概述5.1 用Verilog HDL语言设计可综合的状态机的指导原则5.2 典型的状态机实例5.3 综合的一般原则5.4 语言指导原则5.5 可综合风格的Verilog HDL模块实例5.6 状态机的置位与复位小结思考题第六讲 深入理解阻塞和非阻塞赋值的不同概述6.1 深入理解阻塞和非阻塞赋值的不同6.2 Verilog模块编程要点6.3 Verilog的层次化事件队列6.4 自触发always块6.5 移位寄存器模型6.6 阻塞赋值及一些简单的例子6.7 时序反馈移位寄存器建模6.8 组合逻辑建模时应使用阻塞赋值6.9 时序和组合的混合逻辑——使用非阻塞赋值6.10 其他阻塞和非阻塞混合使用的原则6.11 对同一变量进行多次赋值6.12 常见的对于非阻塞赋值的误解6.13 小结思考题第七讲 较复杂时序逻辑电路设计实践概述总结思考题第八讲 I2C总线接口模块的设计概述总结思考题第九讲 简化的 RISC\_CPU设计概述9.1 课题的来由和设计环境介绍9.2 什么是CPU9.3 RISC\_CPU结构9.4 RISC\_CPU 操作和时序9.5 RISC\_CPU寻址方式和指令系统9.6 RISC\_CPU模块的调试小结思考题第十讲 虚拟器件、虚拟接口模型及其在大型数字系统设计中的作用概述10.1 软核和硬核、宏单元及虚拟器件和接口10.2 虚拟器件和虚拟接口模块的供应商10.3 虚拟模块的设计10.4 虚拟接口模块的实例小结思考题第三部分 实践篇设计示范和上机习题概述练习一 简单的组合逻辑设计练习二 简单分频时序逻辑电路的设计练习三 利用条件语句实现计数分频时序电路练习四 阻塞赋值与非阻塞赋值的区别练习五 用always块实现较复杂的组合逻辑电路练习六 在Verilog HDL中使用函数练习七 在Verilog HDL中使用任务（task）练习八 利用有限状态机进行时序逻辑的设计练习九 利用状态机实现比较复杂的接口设计练习十 通过模块实例调用实现大型系统的设计练习十一 简单卷积器的设计练习十二 利用SRAM设计一个FIFO第四部分 语法篇关于Verilog HDL的说明一、关于IEEE 1364标准二、Verilog简介三、语法总结四、编写Verilog HDL源代码的标准五、设计流程Verilog硬件描述语言参考手册一、Verilog HDL语句与常用标志符（按字母顺序排列）二、系统任务和函数（System task and function）三、常用系统任务和函数的详细使用说明四、Command Line Options 命令行的可选项

# 《Verilog数字系统设计教程》

## 编辑推荐

《Verilog数字系统设计教程》可作为电子工程类、自动控制类、计算机类的大学本科高年级及研究生教学用书，亦可供其他工程人员自学与参考。

# 《Verilog数字系统设计教程》

## 精彩短评

- 1、内容不错，错误太多了
- 2、非常好的入门书籍，里边的示例都很基础，此书相当于谭浩强C语言的作用（非贬义）。
- 3、翻完了也没去编个程序~
- 4、略读。
- 5、课本教材，说不上来好坏，算是入门教材。  
主要说了Verilog的语法东西，而数电类的知识需要自己去复习，里面的实例感觉像过家家，主要侧重理论
- 6、o(        )o
- 7、很好的入门书，细节部分有的讲的很详细，有些地方不太详细的的也有所提及，自己网上查一下就了解了。只是中间CPU设计还有一些复杂的逻辑设计没有实验，以后用到重新再看。课后习题设计的也很好，多是笔试面试常遇到的。
- 8、老师推荐的学习Verilog的书
- 9、verilog教材经典，作者理解得很透。可惜学校教的是VHDL
- 10、教科书，全国好像都在用。自学时看过，我觉得学习FPGA，入门最大的瓶颈是工具的使用。还有思维的转换，当初一直是软件的串行思维，花了很长时间才转成了并行思维。
- 11、没听传说中的老夏讲课满遗憾
- 12、不错的讲语法的书
- 13、写的一点都不好，没有思路，没有头绪
  
- 14、复习，复习...
- 15、不把你拿下，数字集成电路就甭想过啦。  
  
为嘛就这么点分儿。
- 16、很好的入门语法书
- 17、挺好的一本verilog入门读本。
- 18、我靠，居然真的有这本书。买了这本书，写完了整个大作业也没看书上的几行程序。。。
- 19、低价转让，九成新
- 20、说得很具体，很容易读懂。
- 21、基本都忘了
- 22、五星推荐夏宇闻
- 23、Verilog语言入门和FPGA入门
- 24、入门经典，公司人手一本啊
- 25、里面小错误很多。主要是讲语法。
- 26、章节安排合理，但工具链和实践讲解少了些，总体还是很好的~

## 章节试读

### 1、《Verilog数字系统设计教程》的笔记-第168页

e.g.12.1

明显错误1

```
output [1:0] state;
```

```
*****
```

state is not output ports obviously!!

which should be reg [1:0] state.

ps:

一段的确。。。 complicated

### 2、《Verilog数字系统设计教程》的笔记-第169页

e.g.12.1

错误2

```
start : if(!a) state <= stop;
```

```
else state &lt;= start;
```

```
end
```

```
*****
```

where did "end" come from since there is no corresponding "begin" ?

which should be no "end".

### 3、《Verilog数字系统设计教程》的笔记-第172页

错误3

```
*****
```

```
if(!reset)
```

```
begin
```

```
state &lt;= zero;
```

```
end
```

```
*****
```

zero ...is not defined

# 《Verilog数字系统设计教程》

## 版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:[www.tushu111.com](http://www.tushu111.com)