

《计算机原理与设计》

图书基本信息

书名：《计算机原理与设计》

13位ISBN编号：9787302251095

10位ISBN编号：7302251096

出版时间：2011-6

出版社：清华大学出版社

作者：李亚民

页数：520

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu111.com

《计算机原理与设计》

内容概要

《计算机原理与设计:Verilog HDL版》讲述计算机原理、计算机设计以及如何用verilog hdl实现设计。主要内容包括：计算机基础知识及性能评价方法；数字电路及verilog hdl简介；计算机加、减、乘、除及开方的各种算法(包括wallace tree快速乘法器和newton-raphson及goldschmidt除法和开方算法)及其verilog hdl实现；指令系统结构和alu及多端口寄存器堆的verilog hdl设计；单周期、多周期和流水线cpu的verilog hdl设计；精确中断和异常处理及其电路实现；浮点算法及带有浮点部件fpu的流水线cpu的verilog hdl设计；多线程cpu的verilog hdl设计；存储器、cache和虚拟存储器管理以及带有cache、tlb和fpu的cpu设计；多核cpu的verilog hdl设计；异步通信接口uart、ps / 2键盘与鼠标接口、视频图像阵列vga接口、i2c串行总线接口和pci并行总线接口的verilog hdl设计；高性能计算机及互连网络设计。书中的verilog hdl源代码基本上都附有功能仿真波形，以便加深对计算机原理的理解和对计算机设计方法的掌握。

《计算机原理与设计:Verilog HDL版》可用作高等院校计算机及信息专业本科生和研究生教材，也可供自学者阅读。

书籍目录

第1章 计算机基础知识及性能评价

- 1.1 计算机系统概述
 - 1.1.1 计算机系统的组成
 - 1.1.2 计算机发展简史
 - 1.1.3 计算机指令结构
 - 1.1.4 CISC和RISC
 - 1.1.5 一些基本单位的意义
- 1.2 计算机的基本结构
 - 1.2.1 RISC CPU的基本结构
 - 1.2.2 多线程CPU和多核CPU
 - 1.2.3 存储层次和虚拟存储器管理
 - 1.2.4 I/O接口和总线
- 1.3 如何提高计算机的性能
 - 1.3.1 计算机性能和性能评价
 - 1.3.2 踪迹驱动模拟和执行驱动模拟
 - 1.3.3 高性能计算机和互连网络
- 1.4 硬件描述语言
- 1.5 习题

第2章 逻辑电路及Verilog HDL简介

- 2.1 基本逻辑门和常用逻辑门
- 2.2 用Verilog HDL实现基本的逻辑操作
- 2.3 逻辑门的CMOS晶体管实现以及晶体管级的Verilog HDL
 - 2.3.1 CMOS反向器
 - 2.3.2 CMOS与非门和或非门
- 2.4 四种风格的Verilog HDL描述
 - 2.4.1 晶体管开关级的Verilog HDL
 - 2.4.2 逻辑门级的Verilog HDL
 - 2.4.3 数据流风格的Verilog HDL
 - 2.4.4 功能描述风格的Verilog HDL
- 2.5 常用的组合电路及其设计
 - 2.5.1 多路选择器设计
 - 2.5.2 译码器设计
 - 2.5.3 32位移位器设计
- 2.6 时序电路的设计方法
 - 2.6.1 D锁存器
 - 2.6.2 D触发器
 - 2.6.3 状态转移图及时序电路设计
- 2.7 习题

第3章 计算机算法及其Verilog HDL实现

- 3.1 二进制整数
 - 3.1.1 无符号二进制整数
 - 3.1.2 补码表示的带符号二进制整数
- 3.2 加减法算法及Verilog HDL实现
 - 3.2.1 加法器和减法器设计
 - 3.2.2 先行进位加法器设计
- 3.3 乘法算法及Verilog HDL实现
 - 3.3.1 无符号数乘法器设计

- 3.3.2 带符号数乘法器设计
- 3.3.3 无符号数Wallace树型乘法器设计
- 3.3.4 带符号数Wallace树型乘法器设计
- 3.4 除法算法及Verilog HDL实现
 - 3.4.1 恢复余数除法器设计
 - 3.4.2 不恢复余数除法器设计
 - 3.4.3 带符号数不恢复余数除法器设计
 - 3.4.4 Goldschmidt除法算法
 - 3.4.5 Newton-Raphson除法算法
- 3.5 开方算法及Verilog HDL实现
 - 3.5.1 恢复余数开方算法
 - 3.5.2 不恢复余数开方算法
 - 3.5.3 Goldschmidt开方算法
 - 3.5.4 Newton-Raphson开方算法
- 3.6 习题
- 第4章 指令系统及ALU设计
 - 4.1 指令系统结构
 - 4.1.1 操作数类型
 - 4.1.2 数据在存储器中的存放方法
 - 4.1.3 指令类型
 - 4.1.4 指令结构
 - 4.1.5 寻址方式
 - 4.2 MIPS指令格式和通用寄存器定义
-
- 第5章 单周期CPU及其Verilog HDL设计
- 第6章 异常和中断处理及其电路实现
- 第7章 多周期CPU及其Verilog HDL设计
- 第8章 流水线CPU及其Verilog HDL设计
- 第9章 浮点算法及CPU Verilog HDL设计
- 第10章 带有CPU的流水线CPU及其Verilog HDL设计
- 第11章 多线程CPU及其Verilog HDL设计
- 第12章 存储器和虚拟存储器管理
- 第13章 带有cache及tlb和CPU的CPU设计
- 第14章 多核CPU及其Verilog HDL设计
- 第15章 输入/输出接口及设计
- 第16章 高性能计算机及互连网络设计
- 参考文献
- 图索引
- 表索引
- 术语索引

章节摘录

版权页：插图：

《计算机原理与设计》

编辑推荐

《计算机原理与设计:Verilog HDL版》由清华大学出版社出版。

精彩短评

- 1、好书，正版，送货快，货真价实！~
- 2、纸质还可以，比较清晰但是有一页破了，有好多字都看不见，不爽
- 3、介绍Verilog HDL基本语法的教科书不胜枚举，而市上大部分关于Verilog项目开发的书又讲得太粗糙，只列出大段大段的代码，不讲解设计原理。这本绝对是一本适合Verilog爱好者（自学的、专业的）的进阶书籍。每个设计都是先讲原理，再给出代码。以RISC... 阅读更多
- 4、李亚民老师的书，是计算机系统结构的经典，本书既有相当的理论深度，又有语言实现与设计的实际操作。十分值得推荐。
- 5、这本书以前在当当买了，是盗版的，纸质很差，然后我就退货了。这次再买，实在是因为急着用，没想到又买了盗版的，我真是无语。当着送快递的人面打开看的，送快递的都不好解释什么，没办法，谁让我急着用呢，只能被坑了。建议不急着用这本书的人暂时别买了，买了你会后悔的。
- 6、书不错，讲的蛮详细的
- 7、内容比较丰富但是讲解的实例不够清晰，我同学的先到了，看了一下，总体还算满意。
- 8、读完对计算机的硬件有了更深的理解
- 9、可能是知识有限吧，看懂还是有些费力的。对那些想学的人，还是很有用的。
- 10、速度很快，质量挺不错
- 11、即可了解原理性东西，又可以模拟一下，还可以
- 12、这本书非常好，是我目前读过的写得最好的一本讲计算机原理的书，两天读了一大半，作者设计思路十分清晰，很值得借鉴，强烈推荐！
- 13、内容很全面，写作方式新颖，找了很久才找到的好书，值得仔细研究，学习啦！
- 14、还没看。估计很好，
- 15、这本书写得不错，很详细，关键是从结构描述，更加深入理解了数字设计
- 16、页数倒印，29一下就跳到54页还好目前没看到少页的，换页麻烦就算了
- 17、挺系统的一本书，不过不适合初学者！
- 18、找到自己喜欢的书本是件很开心的事
- 19、科普的东西，想深入学习的话建议下一个MCU的源码看一下
- 20、虽然图书馆有这书借，不过觉得不错，就买了一本，快递很快！
- 21、这类专业的书一直都是在当当上买的，很方便
- 22、原先拜读过李先生和朱子玉合著著作，本书在上述基础上进一步完善。兼顾理论与实践，是一本不可多得的好书。
- 23、之前看的第一版的，现在出了第二版了，而且还有verilog代码，相当给力啊
- 24、据说还可以，因为不是学硬件设计的，不好妄加评论。粗略的看了看，貌似中规中矩。
- 25、还没读，纸质不错。
- 26、大致浏览了一遍，这本书的确凝结了作者的很多心血，没有长时间的经验积累和潜心研究，是难以写出的，书中讲述的知识有点复杂，需要静下心来慢慢学习和体会
- 27、讲解cpu结构，分析电路架构原理，深入浅出，并穿插着veilog的部分知识。总之，如果想了解研究cpu的同学可以好好读读了！
- 28、发货速度蛮快的！
- 29、书的印刷，纸质都很好，是正版，第一天的下午下的订单，第三天中午收到的货，货到付款。建议使用货到付款，这样商家不敢玩弄，也不敢怠慢，稍有不适，哎，我们可以拒收。呵呵。
- 30、书很好 数字ic设计必备
- 31、这本书非常好，讲得非常系统。
- 32、挺不错的，给朋友买的
- 33、本书从另一个角度阐述了计算机系统部件的设计技术，可以作为学习的一个参考。

《计算机原理与设计》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu111.com